

⑫ 公開特許公報 (A) 平1-204527

⑬ Int. Cl.⁴
H 03 M 1/74識別記号
府内整理番号
6832-5 J

⑭ 公開 平成1年(1989)8月17日

審査請求 未請求 請求項の数 7 (全10頁)

⑮ 発明の名称 デジタルーアナログ変換器

⑯ 特願 昭63-324848

⑯ 出願 昭63(1988)12月24日

優先権主張 ⑯ 1987年12月24日 ⑯ オランダ(NL) ⑯ 8703128

⑰ 発明者 ヘンドリカス・ヨハネス・スコウウェナールス
オランダ国 5621 ベーアー アイントーフエン フルーネバウツウェツハ1⑰ 発明者 デイルク・ウォーテル・ヨハネス・フロウ
オランダ国 5621 ベーアー アイントーフエン フルーネバウツウェツハ1
ネフェルド⑰ 出願人 エヌ・ベー・フリツブス・フルイランベ
オランダ国 5621 ベーアー アイントーフエン フルーネバウツウェツハ1
ンファブリケン

⑰ 代理人 弁理士 杉村 晓秀 外1名

明細書

1. 発明の名称 デジタルーアナログ変換器

2. 特許請求の範囲

1. デジタル入力信号をアナログ出力信号に変換するデジタルーアナログ変換器であって、
- デジタル入力信号を受ける入力端子と、
- アナログ出力信号を生じる出力端子と、
- 適切に規定された比でN個の出力端にN個の電流を発生させるようにしたN個の電流源を有する電流源回路と、

- この電流源回路のN個の出力端に結合されたN個の入力端と、デジタル入力信号を受ける前記の入力端子に結合された他の入力端と、前記の出力端子に結合された出力端とを有し、前記の電流源回路の出力端に得られる電流からデジタル入力信号の関数としてアナログ信号を構成する組合せ回路と
を具える当該デジタルーアナログ変換器において、

前記の電流源回路は互いにほぼ等しい電流

強度のN個の電流を発生するように構成されており、ある期間中前記の入力端子に与えられるデジタル入力信号Dを変換するためにこの期間が少なくとも2つの副期間に細分割されるようになっており、前記の組合せ回路は、dをデジタル入力信号Dの10進値を表わすものとして前記の期間内にある各副期間中それぞれN個の電流源のうちのd個の電流源の種々の組合せ電流が合成されるように各副期間中d個の電流源の電流を合成するように構成されていることを特徴とするデジタルーアナログ変換器。

2. 請求項1に記載のデジタルーアナログ変換器において、前記の電流源にインデックスx (xは1≤x≤Nを満足する整数) を付して表わした場合、前記の組合せ回路は、前記の期間内にあるJ個の副期間のうちのj番目 (jは1~Jの範囲にある) の副期間中、jが奇数の場合インデックス ((j-1)·N+j) /J ~ ((j-1)·N+d·J) /J が付された電流

Best Available Copy

源の電流を合成し、 j が偶数の場合インデックス $(j-N-d \cdot J+J)/J \sim j \cdot N/J$ が付された電流源の電流を合成するように構成され、前記の式の 1 つに応じて計算したインデックス x が N よりも大きいか或いは 1 よりも小さい場合に、

$$x' = x \bmod N$$

を満足するインデックス x' をインデックス x の代りに取入れるようになっていることを特徴とするデジタルーアナログ変換器。

3. 請求項 1 に記載のデジタルーアナログ変換器において、前記の電流源は基板上に整列され、インデックス 1 が両外側の電流源のうちの一方の電流源に付され、これに続くインデックスが順次隣接する電流源に付され、最大のインデックスが前記の両外側の電流源のうちの他方の電流源に付されたものとすると、前記の組合せ回路は、第 1 副期間中インデックス $1 \sim d$ が付された電流源の電流を合成し、第 2 副期間中インデックス $N+1-d \sim N$ が付さ

れた電流源の電流を合成するように構成されていることを特徴とするデジタルーアナログ変換器。

4. 請求項 3 に記載のデジタルーアナログ変換器において、 N が偶数であり、また前記の組合せ回路は第 3 副期間中インデックス

$$\frac{N}{2} + 1 \sim \frac{N}{2} + d \text{ が付された電流源の電流}$$

を合成し、第 4 副期間中インデックス

$$\frac{N}{2} + 1-d \sim \frac{N}{2} \text{ が付された電流源の電流}$$

を合成するように構成されていることを特徴とするデジタルーアナログ変換器。

5. 請求項 1 ～ 4 のいずれか一項に記載のデジタルーアナログ変換器において、前記の組合せ回路は N 個のスイッチングユニットと、1 つの制御信号発生器とを具え、各スイッチングユニットは入力端、制御信号入力端および出力端を有し、前記の制御信号発生器は入力端および N 個の出力端を有し、前記の組合せ

回路の N 個の入力端の各々は N 個のスイッチングユニットのうちの関連の 1 つのスイッチングユニットの入力端に結合され、これら N 個のスイッチングユニットのすべての出力端は組合せ回路の出力端に結合され、組合せ回路の前記の他の入力端はデジタル入力信号を受ける制御信号発生器の入力端に結合され、制御信号発生器の N 個の出力端の各々は N 個のスイッチングユニットのうちの関連の 1 つのスイッチングユニットの制御信号入力端に結合され、制御信号発生器は入力端に存在するデジタル信号 D に依存して d 個のスイッチング信号を発生しつつこれら d 個のスイッチング信号を前記の期間内にある各副期間中それぞれこの制御信号発生器の d 個の出力端の異なる組合せに供給するようになっており、各スイッチングユニットは関連の制御信号入力端に供給されるスイッチング信号による制御の下で当該スイッチングユニットの入力端を当該スイッチングユニットの出力端に結合

するようになっていることを特徴とするデジタルーアナログ変換器。

6. 請求項 3 に記載のデジタルーアナログ変換器において、前記の組合せ回路が N 個の第 1 スイッチングユニットと、1 個の第 2 スイッチングユニットと、制御信号発生器とを具え、 N 個の第 1 スイッチングユニットの各々は入力端と、制御信号入力端と、第 1 および第 2 出力端とを有し、前記の第 2 スイッチングユニットは第 1 および第 2 入力端と、制御信号入力端と、出力端とを有し、前記の制御信号発生器は 1 個の入力端と N 個の出力端とを有し、組合せ回路の N 個の入力端の各々は N 個の第 1 スイッチングユニットのうちの関連の 1 個の第 1 スイッチングユニットの入力端に結合され、 N 個すべての第 1 スイッチングユニットの第 1 出力端は前記の第 2 スイッチングユニットの第 1 入力端に結合され、 N 個すべての第 1 スイッチングユニットの第 2 出力端は第 2 スイッチングユニットの第 2 入力端

に結合され、第2スイッチングユニットの出力端は組合せ回路の出力端に結合され、組合せ回路の前記の他の入力端は制御信号入力端を有する変換器ユニットを経て制御信号発生器の入力端に結合され、制御信号発生器のN個の出力端の各々はN個の第1スイッチングユニットのうちの関連の1つの第1スイッチングユニットの制御信号入力端に結合され、前記の変換器ユニットは、第1副期間中当該変換器ユニットの制御信号入力端に存在する第1制御信号による制御の下でデジタル信号Dを制御信号発生器の入力端に通し、第2副期間中当該変換器ユニットの制御信号入力端に存在する第2制御信号による制御の下で反転デジタル信号Dを制御信号発生器の入力端に通すように構成されており、前記の制御信号発生器は、第1副期間中その入力端に存在するデジタル信号Dに依存してd個の第1スイッチング信号とN-d個の第2スイッチング信号とを発生し、これら第1スイッチング

信号を最初のd個の出力端に生ぜしめるとともに前記の第2スイッチング信号を残りのN-d個の出力端に生ぜしめるように構成されており、この制御信号発生器は更に、第2副期間中その入力端に存在するデジタル信号Dに依存してN-d個の第1スイッチング信号とd個の第2スイッチング信号とを発生しこれら第1スイッチング信号を最初のN-d個の出力端に生ぜしめるとともに前記の第2スイッチング信号を残りの出力端に生ぜしめるように構成されており、第1スイッチングユニットの各々は、第1スイッチング信号による制御の下でその入力端をその第1出力端に結合するとともに第2スイッチング信号による制御の下でその入力端をその第2出力端に結合するようになっており、前記の第2スイッチングユニットは第1制御信号による制御の下でその第1入力端をその出力端に結合するとともに第2制御信号による制御の下でその第2入力端をその出力端に結合するように

なっており、前記の第1および第2制御信号はそれぞれ第1および第2副期間中に第2スイッチングユニットの制御信号入力端に存在するようになっていることを特徴とするデジタルーアナログ変換器。

7. 請求項1～6のいずれか一項に記載のデジタルーアナログ変換器において、前記の組合せ回路の出力端と前記の出力端との間に平均化回路が配置され、この平均化回路はある各期間に亘り組合せ回路の出力信号を平均化するようになっていることを特徴とするデジタルーアナログ変換器。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、デジタル入力信号をアナログ出力信号に変換するデジタルーアナログ変換器であって、
 -デジタル入力信号を受ける入力端子と、
 -アナログ出力信号を生じる出力端子と、
 -適切に規定された比でN個の出力端にN個の電流を発生させるようにしたN個の電流源を有する電流源回路と、
 -この電流源回路のN個の出力端に結合されたN個の入力端と、デジタル入力信号を受ける前記の入力端子に結合された他の入力端と、前記の出力端子に結合された出力端とを有し、前記の電流源回路の出力端に得られる電流からデジタル入力信号の関数としてアナログ信号を構成する組合せ回路と
 を具える当該デジタルーアナログ変換器に関するものである。

この種類のデジタルーアナログ変換器は公開されたオランダ国特許出願第8,003,948号(特開昭

57-48827号公報に対応) 明細書に開示されており既知である。

(従来の技術)

このようなデジタルーアナログ変換器では、米国特許第3,982,172号(特開昭50-146854号公報に対応)および米国特許第4,125,803号(特開昭52-132765号公報に対応)から既知の動的置換(バーミュテーション)原理が用いられており、この原理によれば、互いにほぼ等しい電流を循環置換に応じて出力端に結合することにより正確な相対強度比を有する電流が電流源回路で発生される。この既知の電流源回路はこの目的のための置換回路を有している。循環置換によれば、最初に発生された電流の各々の、平均値に対する偏差が1循環(巡回)当たりしばしば等しく出力電流の各々に現われる。従って、各出力電流は、最初に発生された電流の平均値に対して、従って他の出力電流の各直流成分に対して極めて正確な強度比を有する直流成分を有している。最初に発生された電流間の相対的な差はこれらの出力電流に交流成

分として現われ、これらの交流成分は最大信号周波数に対する置換周波数に依存し且つ最初に発生された電流の相対強度比に依存して妨害されたりされなかったりする。

これらの交流成分が妨害されるおそれのあるこれらの場合に、平均化回路を電流源回路の各出力端に加えることによりこれらの交流成分を濾波して除去するようにすることができる。このようにすると、組合せ回路により且つこのようにして発生させた直流電流を用いて何の問題も生じることなくデジタルーアナログ変換を行うことができる。前述した強度比はそれぞれ2の倍数である。この場合、切換えすべき電流は、デジタル信号に相当するアナログ信号を発生するようにデジタル信号の関連ビットにより直接切換えられる。

(発明が解決しようとする課題)

しかし従来のデジタルーアナログ変換器の場合、良好に規定された比で電流を得るために、電流源回路で発生すべき電流の数が増大すると個数が増大するシフトレジスタを電流源が用いている。

これにより既知のデジタルーアナログ変換器における電力消費量を多くしてしまう。

本発明の目的は、簡単で必要とする素子数が少なく、従って電力消費量を少なくでき、それにもかかわらず電流が等しくならないのを(非同一性を)補償しうるようにしたデジタルーアナログ変換器を提供せんとするにある。

(課題を解決するための手段)

本発明は、デジタル入力信号をアナログ出力信号に変換するデジタルーアナログ変換器であって、
 - デジタル入力信号を受ける入力端子と、
 - アナログ出力信号を生じる出力端子と、
 - 適切に規定された比でN個の出力端にN個の電流を発生させるようにしたN個の電流源を有する電流源回路と、
 - この電流源回路のN個の出力端に結合されたN個の入力端と、デジタル入力信号を受ける前記の入力端子に結合された他の入力端と、前記の出力端子に結合された出力端とを有し、前記の電流源回路の出力端に得られる電流からデジタル入力

信号の関数としてアナログ信号を構成する組合せ回路と

を具える当該デジタルーアナログ変換器において、

前記の電流源回路は互いにほぼ等しい電流強度のN個の電流を発生するように構成されており、ある期間中前記の入力端子に与えられるデジタル入力信号Dを変換するためにこの期間が少なくとも2つの副期間に細分割されるようになっており、前記の組合せ回路は、dをデジタル入力信号Dの10進値を表わすものとして前記の期間内にある各副期間中それぞれN個の電流源のうちのd個の電流源の種々の組合せ電流が合成されるように各副期間中d個の電流源の電流を合成するように構成されていることを特徴とする。

本発明は、デジタルーアナログ変換器を前記のオランダ国特許出願第8,003,948号(特開昭57-48827号公報)明細書に開示されたのとは異なるように形成することもできるという認識を基に成したものである。実際には、互いにほぼ等しい(しかし非直線性の為に、また電流源が基板上の

異なる位置に配置されている為に正確に等しくない) 電流強度を有するもとの電流から出発して、入力端子に存在するデジタル信号のアナログ値を表わすアナログ信号を直接構成している。従ってこの場合、既知の電流源回路に存在する置換(パーミュテーション)回路は不要である。電流強度の非同一性が補償されたアナログ出力信号は、ある期間内にある複数の副期間内でそれぞれ異なる電流源の組合せを制御し且つ場合に応じ組合せ回路の出力端と出力端子との間に平均化回路を配置することにより得ることができる。

本発明によるデジタル-アナログ変換器では更に、前記の電流源にインデックス x (x は $1 \leq x \leq N$ を満足する整数) を付して表わした場合、前記の組合せ回路は、前記の期間内にある J 個の副期間のうちの j 番目 (j は $1 \sim J$ の範囲にある) の副期間中、 j が奇数の場合インデックス $\{(j-1) \cdot N + j\} / J \sim \{(j-1) \cdot N + d \cdot j\} / J$ が付された電流源の電流を合成し、 j が偶数の場合インデックス $\{(j-N-d \cdot j+1) / J \sim j \cdot N / J\}$ が付された電流

源の電流を合成するように構成され、前記の式の 1 つに応じて計算したインデックス x が N よりも大きいか或いは 1 よりも小さい場合に、

$$x' = x \bmod N$$

を満足するインデックス x' をインデックス x の代りに取入れるようにすることができる。

特に、電流源が基板上に整列されたデジタル-アナログ変換器では、前記の組合せ回路は、第 1 副期間中インデックス $1 \sim d$ が付された電流源の電流を合成し、第 2 副期間中インデックス $N+1-d \sim N$ が付された電流源の電流を合成するように構成されているようにすることができる。

このようなデジタル-アナログ変換器によれば、 N 個の電流源に亘る電流強度の直線勾配を補償するようになる。前記の組合せ回路が第 3 副期間中インデックス

$$\frac{N}{2} + 1 \sim \frac{N}{2} + d \text{ が付された電流源の電流}$$

を合成し、第 4 副期間中インデックス

$$\frac{N}{2} + 1-d \sim \frac{N}{2} \text{ が付された電流源の電流}$$

を合成するように構成されている場合には、 N 個の電流源に亘る電流強度の勾配であって中心に対し対称的な勾配を補償することができる。

(実施例)

以下図面につき説明する。

第 1 図は本発明によるデジタル-アナログ (D-A) 変換器の第 1 実施例を示し、この D-A 変換器はデジタル入力信号 D を受ける入力端子 1 と、アナログ出力信号を生じる出力端子 2 と、電流強度が互いにほぼ等しい N 個の電流 $I_1 \sim I_N$ を生じる N 個の電流源を具える電流源回路 3 と、組合せ回路 4 と、平均化回路 5 とを有している。電流源回路 3 の N 個の出力端子 $3.1 \sim 3.N$ は組合せ回路 4 の開連の入力端子 $4.1 \sim 4.N$ にそれぞれ結合されている。組合せ回路 4 は入力端子 1 に結合された他の入力端子 6 と、平均化回路 5 の入力端子 8 に結合された出力端子 7 とを有しており、平均化回路 5 の出力端子 9 は出力端子 2 に接合されている。

組合せ回路 4 は N 個のスイッチングユニット $S_1 \sim S_N$ をも具え、各スイッチングユニットが入力

端 10.1 と出力端 10.2 と制御信号入力端 10.3 を有している。これらの符号はスイッチングユニット S_1 に対してのみ付してあるがスイッチングユニット $S_2 \sim S_N$ に対しても同様である。組合せ回路 4 の入力端 $4.1 \sim 4.N$ の各々はスイッチングユニット $S_1 \sim S_N$ の 1 つの開連の入力端 10.1 に結合されている。

スイッチングユニット $S_1 \sim S_N$ のすべての出力端 10.2 は出力端 7 に結合されている。また制御信号発生器 15 も設けられている。この制御信号発生器 15 の入力端 16 は組合せ回路の入力端 6 に結合されており、この制御信号発生器の N 個の出力端 17.1 \sim 17.N の各々はスイッチングユニット $S_1 \sim S_N$ の 1 つの開連の制御信号入力端 10.3 に結合されている。

平均化回路 5 は後の説明から明らかとなるよう期間 T 毎に組合せ回路 4 の出力信号を平均化する。この平均化回路は本発明にとって本質を成すものでも必要なものでもない。

デジタル信号 D (この信号は "1" および "0"

のカビットデジタル数より成る)を変換するため、平均化回路5に対する平均化期間である時間間隔を少なくとも2つの副期間に細分割し、このデジタル信号Dを期間 T_0 中入力端子1に与える。

デジタル信号Dの10進値をdとした場合、組合せ回路4は、期間 T_0 内にある副期間 $T_{d,1}$ 中それぞれd個の電流源の電流を合成し、N個の電流源 $I_1 \sim I_N$ のうちのd個の電流源の種々の組合せのそれぞれの電流を各副期間中合成するようになっている。

第1図の実施例の特定の動作を以下に第2a～2c図につき詳細に説明する。

第2a図はN個の電流源 $I_1 \sim I_N$ に亘る電流分布 I を示す。電流強度 I は縦軸にプロットされ、電流源の順番数 x は横軸上にプロットされている。第2a図から明らかのように、電流源に亘る電流強度の変化は直線的(リニア)である。この変化は例えば、電流源を集積化し且つこれらを基板上に整列させる場合に生じる。符号 \bar{I} はすべての電流強度に対する平均電流強度を示す。制御信号発生

器15は入力端16に与えられるデジタル信号Dに依存して第1副期間中に出力端17.1～17.dにスイッチング信号を生ぜしめる。これらのスイッチング信号による制御の下でスイッチングユニット $S_1 \sim S_d$ が閉じられる。すなわちこれらスイッチングユニットは入力端10.1および出力端10.2間の接続を達成する。このことを第1図ではスイッチングユニット S_1 および S_d に対して示してある。この場合、

$$I_1 + I_2 + \dots + I_{d-1} + I_d$$

に等しい強度の電流が output 端7を経て流れる。このことを第2b図に斜線を付した領域で示してある。

第2副期間では、制御信号発生器15が同じくデジタル信号Dに依存して出力端17.N+1-d～17.Nに制御信号を生ぜしめる。この場合

$$I_{x+1-d} + \dots + I_{x-1} + I_x$$

に等しい強度の電流が output 端7を経て流れる。このことを第2c図に斜線を付した領域で示してある。

平均化回路における2つの電流強度の平均化は、デジタル信号Dの各値に対し

$$d \cdot \bar{I}$$

に等しい電流強度が output 端子2に生ぜしめられるということを意味する。このようにして電流強度の直線的変化が補正されること明らかである。

平均化回路は例えば低域通過フィルタとすることができる。

スイッチングユニット $S_1 \sim S_d$ の出力端10.4に結合された端子18はスイッチ・オンされない電流源の電流を除去するためのものであり、このことは、入力端10.1が output 端10.4に結合された状態に関連のスイッチングユニットがあるということを意味する。

第3図は第1図の第1実施例に極めて類似している第2実施例を示す。N(=7)個の電流源は7個のnpnトランジスタ $T_{1,1} \sim T_{1,7}$ により実現され、これらトランジスタのエミッタはすべて接地結合され、ベースには電圧 $V_{ref,1}$ が与えられる。これらトランジスタのコレクタは電流源回路3'の出力端3.1～3.7を構成する。

制御信号発生器15'には変換器30が設けられ、

この変換器はその入力端31.1, 31.2, 31.3に供給される(3ビット)デジタル信号をいわゆるサモーメータコードに変換する。このことは、入力端31に与えられるデジタル信号Dに相当する10進値dに依存して出力端32.1～32.7のうちのd個の出力端、すなわち出力端32.1～32.dが高レベル、すなわち論理値"1"となるということを意味する。出力端32.1～32.7の各々は7個のnpnトランジスタ $T_{2,1} \sim T_{2,7}$ のうちの関連のnpnトランジスタのベースに結合されている。これらトランジスタ $T_{1,1} \sim T_{1,7}$ のエミッタの各々はnpnトランジスタ $T_{2,1} \sim T_{2,7}$ のエミッタに結合されている。ここにiは1～7の値をとる。トランジスタ $T_{1,1}$ とトランジスタ $T_{2,1}$ との結合エミッタは電流源回路3'の出力端3.1に結合されている。トランジスタ $T_{2,1} \sim T_{2,7}$ のベースにはすべて電圧 $V_{ref,2}$ が与えられる。

2つのトランジスタ $T_{1,1}$ および $T_{2,1}$ は、(結合エミッタである)入力端と、(トランジスタ $T_{1,1}$ のベースである)制御信号入力端と、(トランジ

スタ $T_{1,1}$ および $T_{1,2}$ のコレクタを以てそれぞれ構成される) 第1および第2出力端とを有する第1スイッチングユニット $S_{1,1}$ を構成する。すべての第1出力端(トランジスタ $T_{1,1}$ ～ $T_{1,4}$ のコレクタ)は共通端子33.1に結合され、すべての第2出力端(トランジスタ $T_{2,1}$ ～ $T_{2,4}$ のコレクタ)は共通端子33.2に結合されている。これらの2つの端子33.1および33.2は第2スイッチングユニット34の第1および第2入力端をそれぞれ構成し、この第2スイッチングユニットは更に制御信号入力端35と、組合せ回路4'の出力端7に結合された出力端36を有する。

第2スイッチングユニット34は4個のnpnトランジスタ $T_{3,1}$ ～ $T_{3,4}$ を有している。トランジスタ $T_{3,1}$ および $T_{3,2}$ のエミッタは端子33.1に結合され、トランジスタ $T_{3,3}$ および $T_{3,4}$ のエミッタは端子33.2に結合されている。トランジスタ $T_{3,1}$ および $T_{3,4}$ のベースは制御信号入力端35に結合され、トランジスタ $T_{3,2}$ および $T_{3,3}$ のベースには電圧 V_{ref3} が与えられる。トランジスタ $T_{3,2}$ および $T_{3,3}$ のコ

レクタは出力端36に結合され、トランジスタ $T_{2,1}$ および $T_{2,2}$ のコレクタは端子18に結合されている。

入力端6には3ビットデジタル信号Dが与えられる。

3ビットの各ビットは別々のリード線を経て排他的OR(EXOR)ゲート38.1～38.3の第1入力端37.1～37.3の各々に供給される。これら3つのEXORゲート38の出力端39.1～39.3は変換器30の入力端31.1～31.3に結合されている。

制御信号入力端40は入力端35と、EXORゲート38.1、38.2および38.3のそれぞれの第2入力端41.1、41.2および41.3とに結合されている。

期間 T_0 中にある第1副期間 $T_{d,1}$ 中は、論理値“0”すなわち“低”レベル信号である第1制御信号が入力端40に存在する。EXORゲート38はデジタル信号Dを変化しない形態で通す。このことは変換器30のd個の出力端32.1～32.dが“高”レベルとなることを意味する。その結果、電流源 $T_{4,1}$ ～ $T_{4,d}$ が導通したトランジスタ $T_{1,1}$ ～ $T_{1,4}$ を経て出力端33.1に結合される。トランジスタ $T_{2,1}$ および

$T_{2,2}$ のベースにおける“低”レベル制御信号と、トランジスタ $T_{3,2}$ および $T_{3,3}$ のベースにおける信号 V_{ref3} との為に、トランジスタ $T_{3,2}$ および $T_{3,3}$ はターン・オンし、他のトランジスタ $T_{3,1}$ および $T_{3,4}$ はターン・オフする。従って、第2b図における曲線Iの下側の斜線領域に相当する電流強度の電流が出力端36を経て流れる。

期間 T_0 内に位置する第2副期間 $T_{d,2}$ 中は論理値“1”すなわち“高”レベル信号である第2制御信号が入力端40に与えられる。この場合EXOR38はデジタル信号Dの反転、すなわち \bar{D} であるデジタル信号を通す。このことは、変換器30の出力端32.1～32.N-dが“高”レベルであるということを意味する。これにより、電流源 $T_{4,1}$ ～ $T_{4,N-d}$ が導通しているトランジスタ $T_{1,1}$ ～ $T_{1,N-d}$ を経て出力端33.1に結合されるようになる。従って、第2c図における曲線Iの下側の斜線領域に相当する電流強度の電流がこの出力端33.1を経て流れる。

変換器30の出力端32.N+1-d～32.Nが“低”レベルであるという事実の為に、トランジスタ $T_{2,N+1-d}$

～ $T_{2,N}$ はターン・オフされる。従って、第2c図における曲線Iの下側の斜線領域に相当する電流強度の電流が出力端33.2を経て流れる。

トランジスタ $T_{3,1}$ および $T_{3,4}$ のベースには“高”レベル信号が供給される為、これら2つのトランジスタがターン・オンし、トランジスタ $T_{3,2}$ および $T_{3,3}$ はターン・オフされる。従って、入力端33.2が出力端36に結合される。従って、第2c図において曲線Iの下側の斜線領域に相当する電流強度の電流が出力端36を経て流れる。

平均化回路5における平均化により端子2におけるアナログ出力信号を $d \cdot \bar{T}$ とする。

第1および3図の実施例は特に電流強度の直線変化勾配を補償するのに適している。しかしこれらの実施例は、中心に対して対称的な変化を有する勾配のような電流強度の高次勾配を補償するにはそれほど適していない。

第4図の実施例は、直線的でない変化を呈する勾配を補正するのに適している。第4図の実施例は第1図の実施例に極めて類似している。制御信

号発生器15" は期間 T_0 中入力端16を経てデジタル信号Dを受けるとともにに入力端40を経て第1制御信号Cを受ける。第1制御信号Cは、期間 T_0 をJ個の副期間 T_{0j} に細分割するとともに(第5図参照)、制御信号発生器15" がこれらJ個の副期間の各々でd個のスイッチング信号をN個の出力端17のうちのd個の出力端に発生させるようになる。

各副期間中それぞれN個の出力端17のうちのd個の出力端の種々の組合せにd個のスイッチング信号が供給される。制御信号入力端10.3に供給されるスイッチング信号による制御の下でスイッチングユニットS₁のようなスイッチングユニットが図示とは異なる位置にされ、このことは、副期間の各々で、d個の電流源の種々の組合せが出力端7に結合されるということを意味する。

制御信号発生器15" は、j番目の副期間 T_{0j} 中、jが奇数の場合インデックスxが $((j-1)N+J) / J \sim ((j-1)N+d \cdot J) / J$ に等しい電流源 I_x が、或いはjが偶数の場合インデックスxが $(j-N-d \cdot$

$J+J) / J \sim j \cdot N / J$ に等しい電流源 I_x が出力端7に結合される。

J=2の場合、第1図あるいは第3図の実施例も当てはまる。

J=4とした実施例を以下に第6図につき詳細に説明する。電流源回路3'は16個の電流源を有するものとする。また第6図では、16個の電流源に亘る電流強度勾配は一次(直線的)勾配と二次(対称的)勾配とより成っているもとする。

第1副期間(j=1)では電流源 $I_1 \sim I_6$ が出力端7に結合される。第6図でd=3としている為、上述したことは最初の3個の電流源 I_1, I_2, I_3 および I_4 が出力端7に結合されているということを意味する(第6図で左下から右上に太い線で描いた斜線領域を参照のこと)。

第2副期間(j=2)では、インデックス

$$\frac{N}{2} - d + 1 \sim \frac{N}{2}$$

が付された電流源が出力端7に結合される。このことは、電流源 I_6, I_7, I_8 が出力端7に結合

されるということを意味する(第6図で左上から右下に太い線で描いた斜線領域を参照のこと)。

第3副期間(j=3)では、インデックス

$$\frac{N}{2} + 1 \sim \frac{N}{2} + d$$

が付された電流源、すなわち電流源 $I_9 \sim I_{14}$ が出力端7に結合される(第6図で左下から右上に細い線で描いた斜線領域を参照のこと)。

第4副期間(j=4)では、インデックス $N-d+1 \sim N$ が付された電流源、すなわち電流源 I_{14}, I_{15} および I_{16} が出力端7に結合される(第6図で左上から右下に細い線で描いた斜線領域を参照のこと)。

出力端7に接続された平均化回路(図示せず)における平均化後、D-A変換器の出力端にd・ \bar{I} の電流強度の電流が生ぜしめられる。ここに \bar{I} は16個の電流強度の平均値である。

(4つの)副期間の順番は変えることができるこ

と明らかである。

dを $N/2$ よりも大きくする必要がある場合には、

jを奇数とした場合の上限値 $((j-1)N+d \cdot J) / J$ がインデックスをNよりも大きくしうるようにする。同様にjが偶数の場合の下限値 $(j \cdot N-d \cdot J+J) / J$ がインデックスを零よりも小さく或いは零に等しくする。

この場合、制御信号発生器15" は、インデックス $N+1, N+2, N+3$ 等に対してインデックス1, 2, 3等が取られるように、すなわちインデックスからNが減算されるように、またインデックス0, 1, 2等に対しインデックス16, 15, 14等が取られるように適合させる。すなわち、

$$x' = x \bmod N$$

とする。

本発明は上述した実施例のみに限定されず、幾多の変更を加えうること勿論である。

4. 図面の簡単な説明

第1図は、本発明デジタルーアナログ変換器の第1実施例を示す回路図。

第2a図は、N個の電流源の電流強度を示す線図、

第2b図は、第1副期間中組合せ回路の出力端に結合される電流源を説明するための線図、

第2c図は、第2副期間中組合せ回路の出力端に結合される電流源を説明するための線図、

第3図は、本発明デジタルーアナログ変換器の第2実施例を示す回路図、

第4図は、本発明デジタルーアナログ変換器の第3実施例を示す回路図、

第5図は、期間をJ個の副期間に細分した状態を示す線図、

第6図は、電流強度に高次の勾配が存在するN個の電流源および1つの期間中の4個の副期間中に組合せ回路の出力端に結合される電流源の電流強度を示す線図である。

1…入力端子 2…出力端子

3, 3', 3''…電流源回路

4, 4'…組合せ回路

5…平均化回路

15, 15', 15''…制御信号発生器

30…変換器

38…排他的ORゲート

特許出願人 エヌ・ベー・フィリップス・フルーランベンファブリケン

代理人弁理士 杉村 晓秀
 同 弁理士 杉村 興作

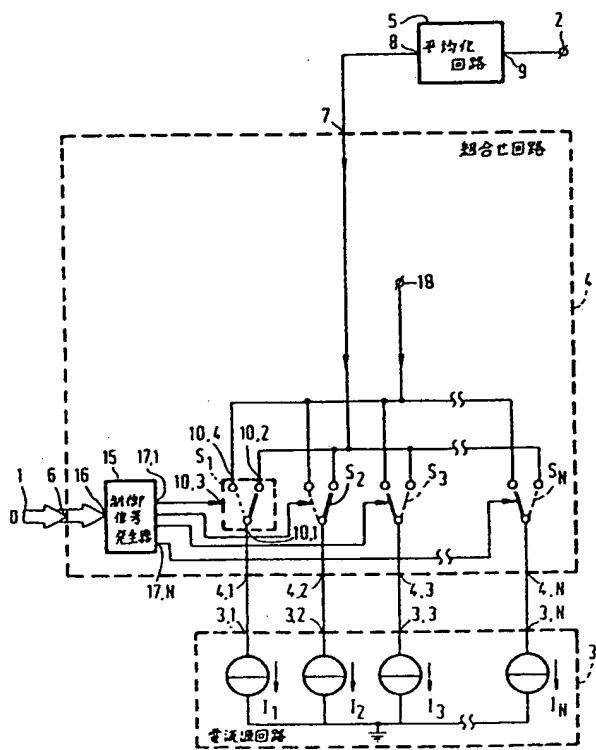


FIG.1

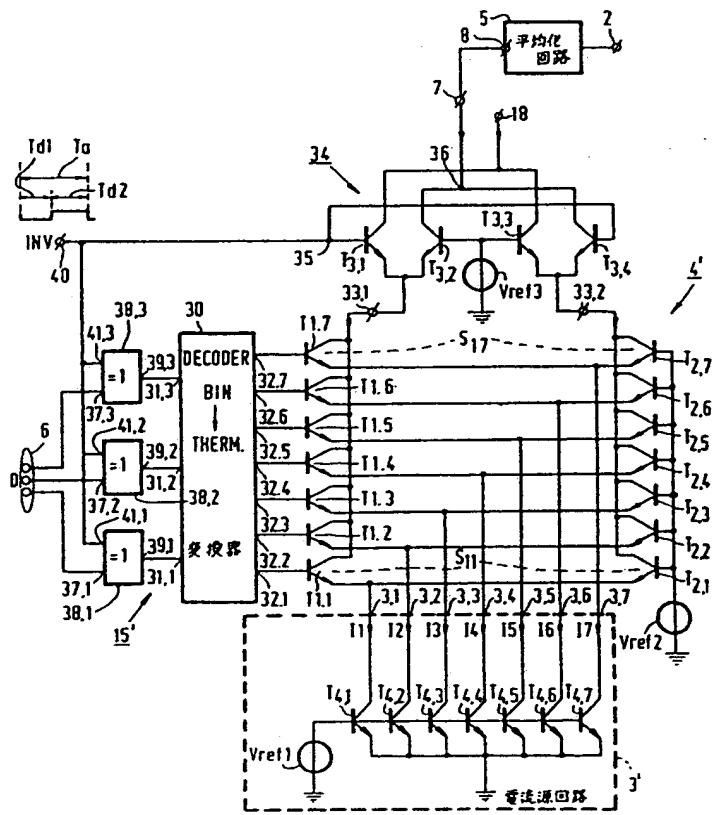


FIG.3

FIG. 2a

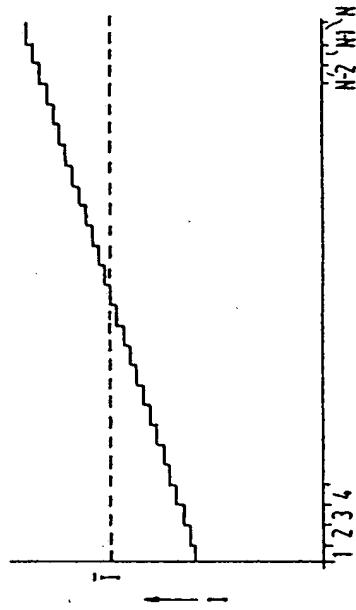


FIG. 2b

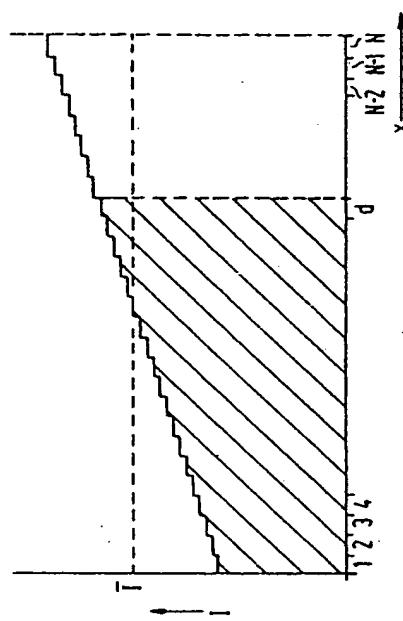


FIG. 2c

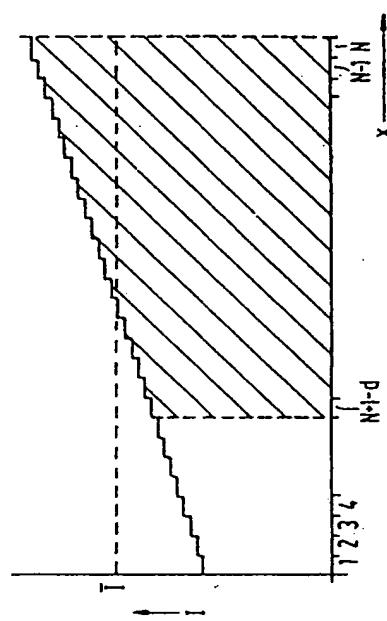


FIG. 4

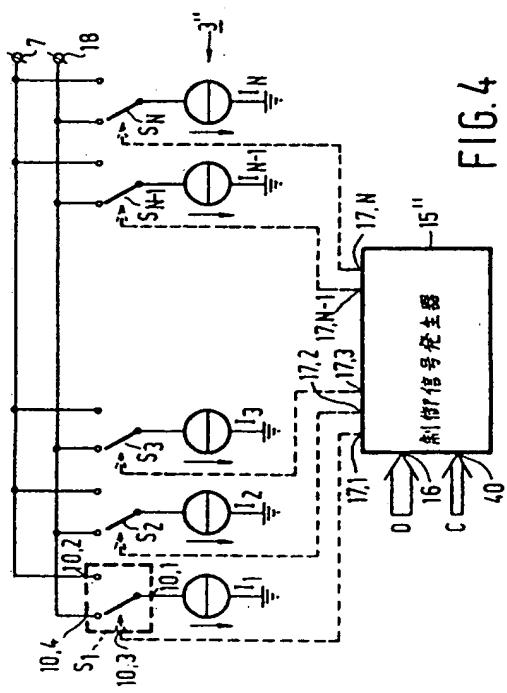
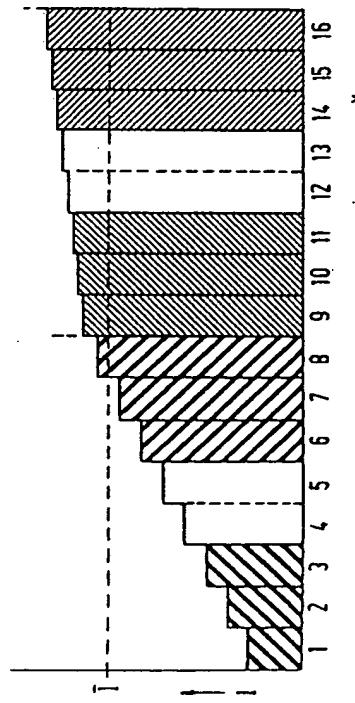


FIG. 5



FIG. 6



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.